

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-246480

(43)Date of publication of application : 30.08.2002

(51)Int.Cl. H01L 21/8234  
H01L 21/76  
H01L 27/08  
H01L 27/088

(21)Application number : 2001-318507 (71)Applicant : SAMSUNG ELECTRONICS CO LTD

(22)Date of filing : 16.10.2001 (72)Inventor : PARK JOO-HAN  
KIN SEIKAN  
KIM MYOUNG-SOO  
KIN SEIKO

(30)Priority

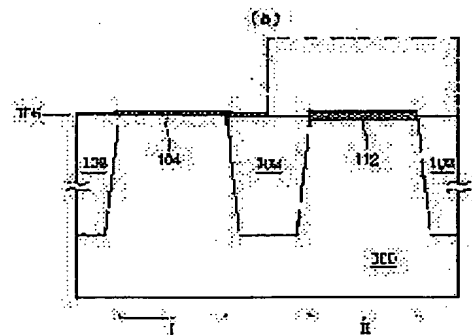
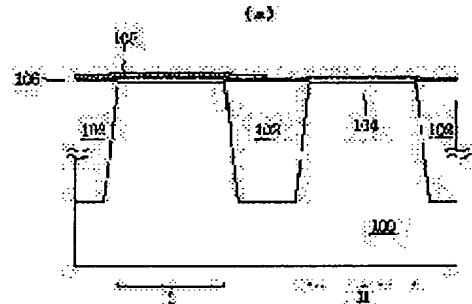
Priority number : 2001 200106679 Priority date : 12.02.2001 Priority country : KR

## (54) MANUFACTURING METHOD OF SEMICONDUCTOR ELEMENT

(57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a manufacturing method of a semiconductor element which does not generate lowering of the reliability of operating characteristics of a transistor and lowering of the reliability of a gate oxide film, even if a dual gate oxide film process is applied to an STI(shallow trench isolation) structure.

**SOLUTION:** After a nitride film 106 and a CVD oxide film 108 are successively laminated on first and second active regions I, II, the substrate surface of the second active region (HV region) II is first exposed, by using the CVD oxide film (a CVD oxide film left in a first active region I side) 108, which is patterned by a photo-etching process, as a mask, and a first thermal oxide film 112 (thick gate oxide film) is selectively formed in the part alone. Thereafter, the surface of the first active region (LV region) I is exposed, and a second thermal oxide film (thin gate oxide film) is formed in the surface exposed part.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision  
of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

## (12)公開特許公報 (A)

(11)特許出願公開番号

特開2002-246480

(P 2 0 0 2 - 2 4 6 4 8 0 A)

(43)公開日 平成14年 8月30日(2002.8.30)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード (参考)
H01L 21/8234		H01L 27/08	331 A 5F032
21/76			102 C 5F048
27/08	331	21/76	L
27/088			

審査請求 未請求 請求項の数19 O L (全7頁)

(21)出願番号	特願2001-318507(P 2001-318507)	(71)出願人	390019839 三星電子株式会社 大韓民国京畿道水原市八達区梅灘洞416
(22)出願日	平成13年10月16日(2001.10.16)	(72)発明者	朴 柱 翰 大韓民国京畿道水原市八達区牛満洞32番地 住公アパート202-614号
(31)優先権主張番号	2 0 0 1 - 0 0 6 6 7 9	(72)発明者	金 成 煥 大韓民国京畿道水原市權善区權善洞斗山東 亞アパート210-404号
(32)優先日	平成13年 2月12日(2001.2.12)	(74)代理人	100086368 弁理士 萩原 誠
(33)優先権主張国	韓国 (K R)		

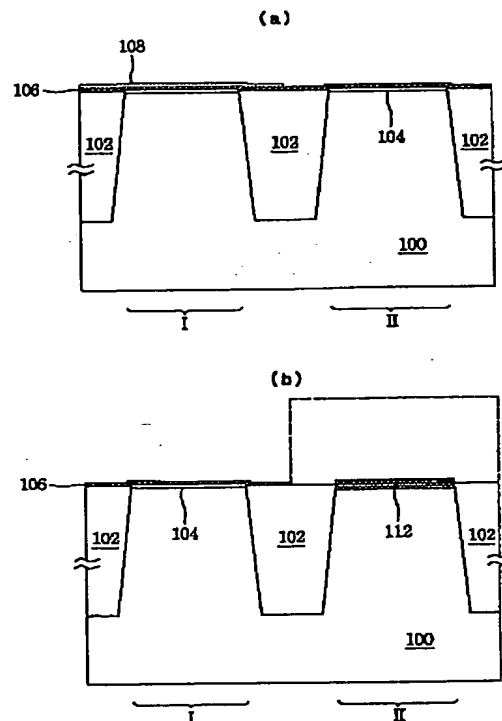
最終頁に続く

## (54)【発明の名称】半導体素子の製造方法

## (57)【要約】

【課題】 STI(Shallow Trench Isolation)構造にデュアルゲート酸化膜(dual gate oxide)工程を適用してもトランジスタの動作特性低下とゲート酸化膜の信頼性低下を発生させない半導体素子の製造方法を提供すること。

【解決手段】 第1及び第2アクティブ領域I、II上に窒化膜106とCVD酸化膜108を順次積層した後、写真食刻工程によりパターニングされた前記CVD酸化膜(第1アクティブ領域I側に残されたCVD酸化膜をさす)108をマスクとして第2アクティブ領域(HV領域)IIの基板表面を先ず露出させ、この部分のみに選択的に第1熱酸化膜112(厚いゲート酸化膜)を形成する。その後、第1アクティブ領域(LV領域)Iの表面を露出させ、その表面露出部に第2熱酸化膜(薄いゲート酸化膜)を形成する。



## 【特許請求の範囲】

【請求項 1】 STIにより区分された第 1 アクティブ領域と第 2 アクティブ領域をもつ半導体基板を準備する段階と、

前記基板上の第 1、第 2 アクティブ領域にバッファ酸化膜を形成する段階と、

前記STIを含んだ前記バッファ酸化膜上に窒化膜を形成する段階と、

前記窒化膜上にCVD酸化膜を形成する段階と、

前記第 1 アクティブ領域を含んだその隣接部の前記STIが一部だけマスキングされるように前記CVD酸化膜上にフォトレジストパターンを形成する段階と、

前記フォトレジストパターンをマスクとして前記第 2 アクティブ領域側の前記CVD酸化膜を食刻した後、前記レジストパターンを除去する段階と、

食刻処理された前記CVD酸化膜をマスクとして前記窒化膜と前記バッファ酸化膜を順次食刻して前記第 2 アクティブ領域の表面を露出させる段階と、

前記第 2 アクティブ領域の表面露出部にゲート酸化膜用第 1 熱酸化膜を形成する段階と、

前記第 1 アクティブ領域側に残存した前記CVD酸化膜と前記窒化膜及び前記バッファ酸化膜を順次食刻して前記第 1 アクティブ領域の表面を露出させる段階と、

前記第 1 アクティブ領域の表面露出部に前記第 1 熱酸化膜よりも薄い厚さのゲート酸化膜用第 2 熱酸化膜を形成する段階と、からなることを特徴とする半導体素子の製造方法。

【請求項 2】 前記STIはUSGまたはHDP材質のCVD酸化膜で形成することを特徴とする請求項 1 に記載の半導体素子の製造方法。

【請求項 3】 前記バッファ酸化膜は100~120Å厚さに形成することを特徴とする請求項 1 に記載の半導体素子の製造方法。

【請求項 4】 前記バッファ酸化膜は熱酸化膜であることを特徴とする請求項 3 に記載の半導体素子の製造方法。

【請求項 5】 前記窒化膜は90~110Å厚さに形成することを特徴とする請求項 1 に記載の半導体素子の製造方法。

【請求項 6】 前記CVD酸化膜は90~110Å厚さに形成することを特徴とする請求項 1 に記載の半導体素子の製造方法。

【請求項 7】 前記CVD酸化膜は700~800°Cの温度で蒸着されたMTO(Medium Temperature Oxide)膜質であることを特徴とする請求項 6 に記載の半導体素子の製造方法。

【請求項 8】 前記CVD酸化膜は湿式食刻法により食刻することを特徴とする請求項 1 に記載の半導体素子の製造方法。

【請求項 9】 前記窒化膜はリン酸をエッチャントとして用いた湿式食刻法により食刻することを特徴とする請

求項 1 に記載の半導体素子の製造方法。

【請求項 1 0】 前記第 1 熱酸化膜は400~450Å厚さに形成することを特徴とする請求項 1 に記載の半導体素子の製造方法。

【請求項 1 1】 前記第 2 熱酸化膜は30~50Å厚さに形成することを特徴とする請求項 1 に記載の半導体素子の製造方法。

【請求項 1 2】 前記第 1 熱酸化膜形成後、この第 1 熱酸化膜とその隣接部の前記STIの一部と一緒にマスキングされるようにフォトレジストパターンを形成する段階をさらに具備することを特徴とする請求項 1 に記載の半導体素子の製造方法。

【請求項 1 3】 前記フォトレジストパターンを形成する段階をさらに具備する場合、前記第 1 熱酸化膜は250~350Å厚さに形成することを特徴とする請求項 1 2 に記載の半導体素子の製造方法。

【請求項 1 4】 前記フォトレジストパターンを形成する段階をさらに具備する場合、前記第 1 アクティブ領域側に残存した前記CVD酸化膜と前記窒化膜及び前記バッファ酸化膜食刻後、前記フォトレジストパターンを除去する段階をさらに具備することを特徴とする請求項 1 2 に記載の半導体素子の製造方法。

【請求項 1 5】 前記第 1 アクティブ領域はLV領域で、前記第 2 アクティブ領域はHV領域であることを特徴とする請求項 1 に記載の半導体素子の製造方法。

【請求項 1 6】 前記窒化膜を形成する前に前記STIを含んだ前記バッファ酸化膜上にポリシリコン膜を形成する段階をさらに具備することを特徴とする請求項 1 に記載の半導体素子の製造方法。

【請求項 1 7】 前記ポリシリコン膜は90~110Åの厚さに形成することを特徴とする請求項 1 6 に記載の半導体素子の製造方法。

【請求項 1 8】 前記ポリシリコン膜形成段階がさらに設けられた場合、食刻処理された前記CVD酸化膜をマスクとして前記窒化膜と前記バッファ酸化膜の食刻の際にこの部分の前記ポリシリコン膜も一緒に除去することを特徴とする請求項 1 6 に記載の半導体素子の製造方法。

【請求項 1 9】 前記ポリシリコン膜の形成段階がさらに設けられた場合、

前記第 1 アクティブ領域側に残存した前記CVD酸化膜と前記窒化膜及び前記バッファ酸化膜の食刻の際にこの部分の前記ポリシリコン膜も一緒に除去することを特徴とする請求項 1 6 に記載の半導体素子の製造方法。

## 【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】本発明は、STI(Shallow Trench Isolation)構造にデュアルゲート酸化膜(dual gate oxide)工程を適用してもトランジスタの動作特性低下とゲート酸化膜の信頼性低下を発生させない半導体素子の製造方法に関する。

## 【0002】

【従来の技術】LDI(LCD Driver IC)製品のような電力素子製品は、素子駆動の際にロジック回路駆動のためのロー電圧 (Low Voltage: 以下 'LV' と称する) 動作とLCD駆動のためのハイ電圧 (High Voltage: 以下 'HV' と称する) 動作の両方を必要とするので、ゲート酸化膜をデュアルゲート構造にしなければならず、しかも微細線幅の趨勢に従いTI(Trench Isolation)工程の採用が必要とされてきた。

【0003】しかし、TI工程の結果から形成されたSTI構造にデュアルゲート酸化膜製造工程をそのまま適用すると、HV用デュアルゲート酸化膜を形成するときにLV領域のSTIリセス (くぼみ) が過度に発生して素子特性に致命的な損傷を与える。

【0004】これは、STI構造のギャップフィル(gap fill)に用いられる膜質がUSG及びHDPのようなCVD酸化膜であるのに対して、デュアルゲート酸化膜としては熱酸化膜材質の膜質が用いられ、熱酸化膜を用いてデュアルゲート酸化膜を形成するとき熱酸化膜とCVD酸化膜間の湿式食刻率(wet etch rate)の差によりアクティブ領域とフィールド領域の境界面で甚だしくデント(dent: 凹み)が発生するのに起因する。

【0005】これを図4および図5に提示した従来のデュアルゲート酸化膜製造工程を示した工程順序図を用いて詳しく説明する。ここでは便宜上工程を3段階に区分して説明する。

【0006】前記図において符号Iは第1アクティブ領域として薄いゲート酸化膜の形成されるLV領域を示し、符号IIは第2アクティブ領域として厚いゲート酸化膜の形成されるHV領域を示す。

【0007】第1段階として、図4(a)に示すように、フィールド領域を限定するフォトレジストパターンをマスクとしてシリコン基板10を所定厚さだけ選択食刻して基板10内のフィールド領域にトレンチtを形成し、このトレンチ内部が充分に充填されるように前記結果物上にUSGまたはHDP材質のCVD酸化膜を形成した後、第1及び第2アクティブ領域I、IIの基板10表面が露出されるようにこれをCMP処理してトレンチ内部を埋め立てるSTI12を形成する。次いで、基板10上のアクティブ領域I、IIに300Å厚さのHV用第1熱酸化膜14を形成する。

【0008】第2段階として、図4(b)に示すように、第1アクティブ領域Iとその周辺部のSTI12が一部一緒にオープンされるように前記結果物上にフォトレジストパターン16を形成し、これをマスクとして第1熱酸化膜14を湿式食刻して、HV領域IIのみに選択的に第1熱酸化膜14を残す。

【0009】第3段階として、図5に示すように、フォトレジストパターン16を除去し、第1アクティブ領域Iに40Å厚さのLV用第2熱酸化膜18を形成して、デュアル

ゲート酸化膜工程を完了する。第2熱酸化膜18の形成の際に第2アクティブ領域IIの第1熱酸化膜14も追加成長するが、その量が微々たるものであるので考慮しなくてもよい。

【0010】その結果、第1アクティブ領域Iには第2熱酸化膜18材質の薄い厚さ(40Å)をもつゲート酸化膜が形成され、第2アクティブ領域IIには第1熱酸化膜14材質の厚い厚さ(300Å)をもつゲート酸化膜が形成される。

## 【0011】

【発明が解決しようとする課題】しかし、このような一連の製造工程を通してSTI構造にデュアルゲート酸化膜を形成すると、前述したように素子製造の際に以下のような問題点が発生する。

【0012】HV領域IIのみに選択的に300Å厚さの第1熱酸化膜14を残す目的でフォトレジストパターン16をマスクとしてLV領域Iの第1熱酸化膜14を除去するとき、第1熱酸化膜14の外にLV領域周辺のSTI12(図4(b)の①で表示された部分)も一部と一緒にリセス(除去)されるので、この部分(アクティブ領域とフィールド領域の境界面)にデント(凹み)が発生する不良が誘発される。

【0013】これは、STI12を構成するCVD酸化膜とゲート酸化膜として用いられる第1熱酸化膜14間の湿式食刻率が異なるため惹起される現象で、STI12がHDP材質で充填された場合にはリセス量がアクティブ領域の基板10表面を基準にしたときに約200Å程度であるが、USG材質で充填したときにはSTI12のリセス量が約1000Å程度に達するためデントの発生が一層甚だしくなる。

【0014】図6は、図4(b)の①部分にデントが発生した場合の素子構造を示した断面図である。このようにデントが発生した場合、後続工程のゲートポリ食刻のときにリセスされた所にポリレジデュ(residue: 残渣)が残されるか、或いはフィールド領域とアクティブ領域の境界面上でゲートポリがフィールドとアクティブを覆う現象が現れるようになって、この部分では垂直方向とサイド方向に全て電界を受けるので、電界集中に起因するゲート酸化膜の劣化が招来され、素子駆動の際にトランジスタのVth低下、臨界電圧漏洩増加、パンチングマージン減少などのような形態の特性低下が発生する。

【0015】さらに、トランジスタの駆動の際にアクティブ領域とフィールド領域の境界面でチャンネル(エッジトランジスタのチャンネル)がまず形成されてターンオンされてからアクティブ領域のセンタにチャンネル(フラットトランジスタのチャンネル)が形成されてターンオンされる、即ち、トランジスタがまるで2個のVthをもつように見えるハンプ(hump)現象が惹起される。

【0016】このような問題点のため、現在LDI具現の際にTI技術の適用が要求されるにもかかわらずこれを適用していない状態である。

【0017】本発明の目的は、半導体素子のデュアルゲート酸化膜の形成の際に薄い厚さの窒化膜蒸着工程とCVD酸化膜蒸着工程を別途追加してLV領域での厚い熱酸化膜除去工程なしにデュアルゲート酸化膜を形成できるように工程を変更することにより、ノーマルSTI構造にデュアルゲート酸化膜工程を適用してもアクティブ領域とフィールド領域の境界面にデントが発生せず、電界集中とハンプ現象誘発のため惹起されるトランジスタの動作特性低下を防ぎ、ゲート酸化膜の劣化を防止することができる半導体素子の製造方法を提供することにある。

【0018】

【課題を解決するための手段】このような目的を達成するため本発明による半導体素子の製造方法は、STIにより区分された第1アクティブ領域と第2アクティブ領域をもつ半導体基板を準備する段階と、前記基板上の第1、第2アクティブ領域にバッファ酸化膜を形成する段階と、前記STIを含んだ前記バッファ酸化膜上に窒化膜を形成する段階と、前記窒化膜上にCVD酸化膜を形成する段階と、前記第1アクティブ領域を含んだその隣接部の前記STIが一部だけマスキングされるように前記CVD酸化膜上にフォトレジストパターンを形成する段階と、前記フォトレジストパターンをマスクとして前記第2アクティブ領域側の前記CVD酸化膜を食刻した後、前記レジストパターンを除去する段階と、食刻処理された前記CVD酸化膜をマスクとして前記窒化膜と前記バッファ酸化膜を順次食刻して前記第2アクティブ領域の表面を露出させる段階と、前記第2アクティブ領域の表面露出部にゲート酸化膜用第1熱酸化膜を形成する段階と、前記第1アクティブ領域側に残存した前記CVD酸化膜と前記窒化膜及び前記バッファ酸化膜を順次食刻して前記第1アクティブ領域の表面を露出させる段階と、前記第1アクティブ領域の表面露出部に前記第1熱酸化膜よりも薄い厚さのゲート酸化膜用第2熱酸化膜を形成する段階と、からなることを特徴とする。

【0019】このとき、前記第1アクティブ領域はLV領域を示し、第2アクティブ領域はHV領域を示す。

【0020】前述のように工程を実施する場合、第1アクティブ領域（LV領域）に残されたCVD酸化膜をマスクとして第2アクティブ領域（HV領域）の基板表面をまず露出させた後、この部分のみに選択的に厚い熱酸化膜を形成する方式によりゲート酸化膜が製造されるので、LV領域における厚い熱酸化膜の除去工程なしにデュアルゲート酸化膜を形成することができて、アクティブ領域とフィールド領域の境界面にデントが発生することを防止することができる。

【0021】

【発明の実施の形態】以下、本発明の好ましい実施の形態について図面を用いて詳しく説明する。図1ないし図3は、本発明による半導体素子の製造方法の実施の形態を示す工程順序図である。これを参照して本発明の製造

方法を5段階に区分して詳しく説明する。この場合もやはり、符号IはLV領域（薄いゲート酸化膜が形成される領域）として用いられる第1アクティブ領域を示し、符号IIはHV領域（厚いゲート酸化膜が形成される領域）として用いられる第2アクティブ領域を示す。

【0022】第1段階として、図1(a)に示すように、トレンチtが形成されたシリコン基板100上に前記トレンチt内部が充分に充填されるようにUSGまたはHDP材質のCVD酸化膜を形成し、第1及び第2アクティブ領域I、IIの基板100表面が露出されるようにこれをCMP処理してトレンチt内部を埋め立てるSTI102を形成する。次いで、前記基板100上のアクティブ領域I、IIに熱酸化膜材質のバッファ酸化膜104を形成し、前記STI102を含んだバッファ酸化膜104上に窒化膜106を形成した後、その上にMTO(Medium Temperature Oxide)材質のCVD酸化膜108を形成する。ここで、MTOとは700～800℃の温度で形成された酸化膜をいう。このとき、バッファ酸化膜104は100～120Å厚さに形成され、窒化膜106は90～110Å厚さに形成され、CVD酸化膜108は90～110Å厚さに形成される。

【0023】第2段階として、図1(b)に示すように、第1アクティブ領域Iを含んだその隣接部のSTI102の一部と一緒にマスキングされるように、CVD酸化膜108上にフォトレジストパターン110を形成する。次いで、フォトレジストパターン110をマスクとして第2アクティブ領域IIとその隣接部のCVD酸化膜108を湿式食刻する。

【0024】第3段階として、図2(a)に示すように、フォトレジストパターン110を除去する。

【0025】第4段階として、図2(b)に示すように、第1アクティブ領域I側に残存したCVD酸化膜108をマスクとして窒化膜106とバッファ酸化膜104を順次食刻して、第2アクティブ領域IIの表面を露出させる。このとき、前記窒化膜106はリン酸をエッチャントとして用いた湿式食刻法により食刻される。次いで、第2アクティブ領域IIの表面露出部に400～450Å厚さの第1熱酸化膜112を形成する。

【0026】第5段階として、図3に示すように、第1アクティブ領域Iとその隣接部のSTI102上面に残存したCVD酸化膜108、窒化膜106及びバッファ酸化膜104を順次食刻して、第1アクティブ領域Iの表面を露出させる。この場合もやはり、残存CVD酸化膜108と窒化膜106の食刻工程は湿式食刻法により実施され、窒化膜106の食刻時に用いられるエッチャントとしてはリン酸が例として挙げられる。この食刻工程（特に、バッファ酸化膜104を食刻する工程）中に第1熱酸化膜112も一部と一緒に消耗するので、前記残存膜の食刻が完了すると、第2アクティブ領域IIには約250～350Å厚さの第1熱酸化膜112だけが残されるようになる。次いで、第1アクティブ領域Iの表面露出部に第1熱酸化膜112より薄い30～50Å厚さの第2熱酸化膜114を形成することにより、デュ

アルゲート酸化膜工程を完了する。第 2 熱酸化膜 114 の形成の際に第 2 アクティブ領域 II の第 1 熱酸化膜 112 も、追加成長するが、その量が微々たるものであるので考慮しなくてもよい。

【 0 0 2 7 】 その結果、第 1 アクティブ領域 I には第 2 熱酸化膜 114 材質の薄い厚さ 30 ~ 50 Å をもつゲート酸化膜が形成され、第 2 アクティブ領域 II には第 1 熱酸化膜 112 材質の厚い厚さ 250 ~ 350 Å をもつゲート酸化膜が形成される。

【 0 0 2 8 】 このようにゲート酸化膜を製造する場合、第 1 及び第 2 アクティブ領域 I、II 上に窒化膜 106 と CVD 酸化膜 108 を順次積層した後、写真食刻工程によりパターンニングされた前記 CVD 酸化膜 (第 1 アクティブ領域 I 側に残された CVD 酸化膜をさす) 108 をマスクとして第 2 アクティブ領域 (HV 領域) II の基板表面を先ず露出させ、この部分のみに選択的に熱酸化膜 112 を形成する方式により厚いゲート酸化膜が形成されるので、HV 領域のゲート酸化膜の形成の際に LV 領域での厚い熱酸化膜の除去工程が必要なくなる。

【 0 0 2 9 】 勿論、第 1 アクティブ領域 I 側に残存した CVD 酸化膜 108 をマスクとして第 2 アクティブ領域 II 側の窒化膜 106 とバッファ酸化膜 104 を除去するとき (図 2 (b) に示した工程) と第 1 アクティブ領域 I 側に残存した CVD 酸化膜 108 と窒化膜 106 及びバッファ酸化膜 104 を除去するとき (図 3 に示した工程) に STI 102 が一部リセスされるが、この場合はそのリセス量が極微々たるものなのでデント誘発には全然影響を与えなくて考慮しなくてもよい。これはバッファ酸化膜 104 の厚さが薄くてこれの食刻工程の際にデントを誘発させる程度のリセスがなされないからである。

【 0 0 3 0 】 よって、アクティブ領域とフィールド領域の境界面にデントが発生することを防止することができるので、素子駆動の際に電界集中及びハンプ現象の誘発が防止され、その結果、ゲート酸化膜の劣化とトランジスタの動作特性低下が防止されることになる。

【 0 0 3 1 】 一方、本発明の一変形例として、第 2 アクティブ領域 II にゲート酸化膜として用いられる第 1 熱酸化膜 112 を形成した後、図 2 (b) の点線で示した部分のように前記第 1 熱酸化膜 112 とその隣接部の前記 STI 102 が一部一緒にマスクングされるようにフォトリソパターンを形成し、これをマスクとして第 1 アクティブ領域 I 側に残存する CVD 酸化膜 108 と窒化膜 106 及びバッファ酸化膜 104 を除去する方式により食刻工程を実施することもできるが、これは前記食刻過程で惹起される第 1 熱酸化膜 112 の均一性 (uniformity) 低下を防止するためである。

【 0 0 3 2 】 但し、この場合はフォトリソパターンのため第 1 アクティブ領域 I 側に残存する CVD 酸化膜 108 と窒化膜 106 及びバッファ酸化膜 104 を除去するとき、第 1 熱酸化膜 112 が消耗されないで、第 2 アクティブ領

域 II に第 1 熱酸化膜 112 の成長の際にその厚さを初期状態から 250 ~ 350 Å の厚さに形成すべきであり、第 1 アクティブ領域 I に残存する膜を除去した以後には前記フォトリソパターンを除去する方式により工程を実施しなければならない。

【 0 0 3 3 】 また、本発明の他の変形例として前記デュアルゲート酸化膜工程は、熱酸化膜材質のバッファ酸化膜 104 の形成後、このバッファ酸化膜 104 を含んだ基板 100 上に 90 ~ 110 Å 厚さのポリシリコン膜を別途形成し、その上に窒化膜 106 を形成する方式により工程を進めることもできるが、これは互いに隣接した STI 102 間のアクティブ領域上に薄い厚さのゲート酸化膜と厚い厚さのゲート酸化膜が共存するように素子設計をなすとき、前記ポリシリコン膜が緩衝膜の役割をするようにしてデュアルゲート酸化膜の境界地域でバースピーク (bird's beak) が発生することを最大限抑制するためである。

【 0 0 3 4 】 但し、この場合も図 2 (b) の工程実施の際には第 2 アクティブ領域 II 側のポリシリコン膜除去工程が別途追加されるように食刻工程を実施すべきであり、図 3 の工程実施の際には第 1 アクティブ領域 I 側のポリシリコン膜除去工程が別途追加されるように食刻工程を実施すべきである。

【 0 0 3 5 】 以上、実施の形態を通して本発明を具体的に説明したが、本発明はこれに限定されず、本発明の技術的思想内で当分野の通常の知識をもってその変形及び改良が可能であるのは勿論である。

#### 【 0 0 3 6 】

【発明の効果】 以上説明したように本発明は、窒化膜蒸着工程と CVD 酸化膜蒸着工程を別途追加して LV 領域での厚い熱酸化膜の除去工程なしにデュアルゲート酸化膜を形成できるように工程を変更することにより、ノーマル STI 構造にデュアルゲート酸化膜工程を適用してもアクティブ領域とフィールド領域の境界面にデントが発生しないので、電界集中とハンプ現象誘発に起因して惹起されるトランジスタの動作特性低下とゲート酸化膜劣化を防ぐことができる。

#### 【図面の簡単な説明】

【図 1】 本発明による半導体素子の製造方法の実施の形態を示す工程順序図である。

【図 2】 本発明による半導体素子の製造方法の実施の形態を示す工程順序図である。

【図 3】 本発明による半導体素子の製造方法の実施の形態を示す工程順序図である。

【図 4】 従来のデュアルゲート酸化膜形成方法を示す工程順序図である。

【図 5】 従来のデュアルゲート酸化膜形成方法を示す工程順序図である。

【図 6】 図 4 および図 5 に示した工程に基づきデュアルゲート酸化膜を形成するとき惹起される不良形態を示す工程断面図である。



## 【符号の説明】

100 シリコン基板  
 102 STI  
 104 バッファ酸化膜  
 106 窒化膜  
 108 CVD酸化膜

110 フォトレジストパターン

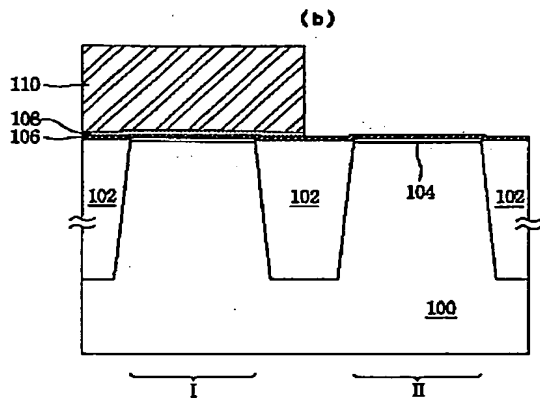
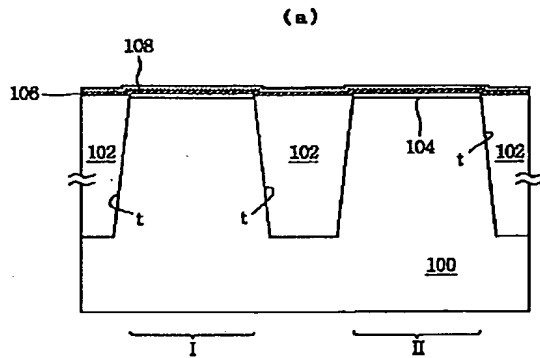
112 第1熱酸化膜

114 第2熱酸化膜

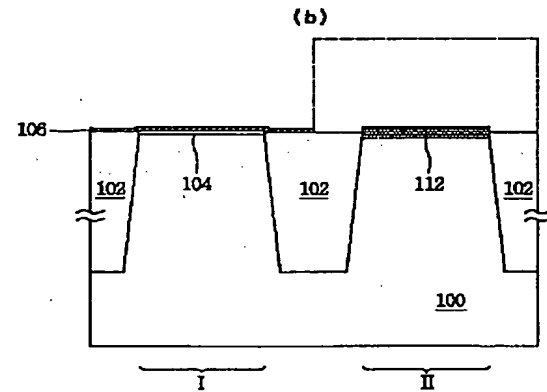
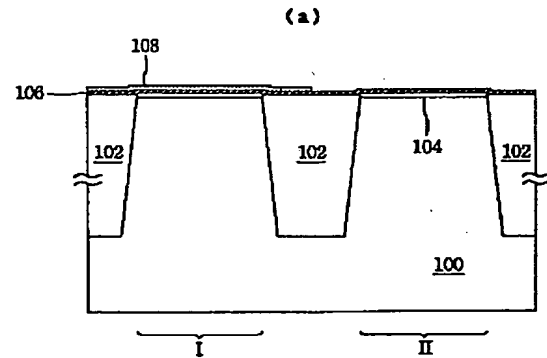
I 第1アクティブ領域 (LV領域)

II 第2アクティブ領域 (HV領域)

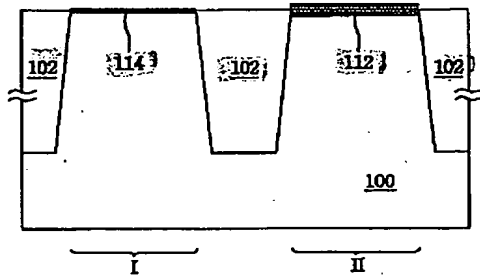
【図1】



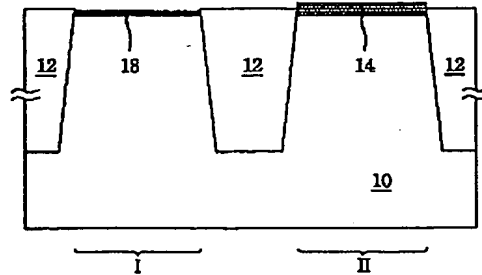
【図2】

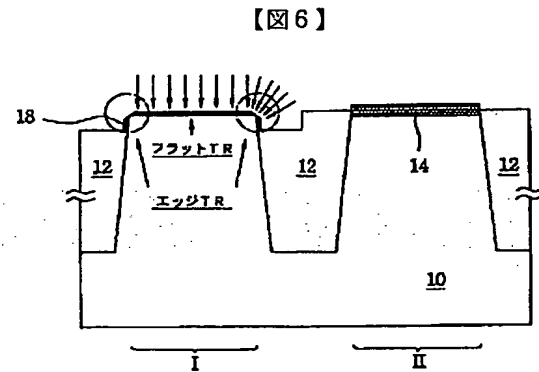
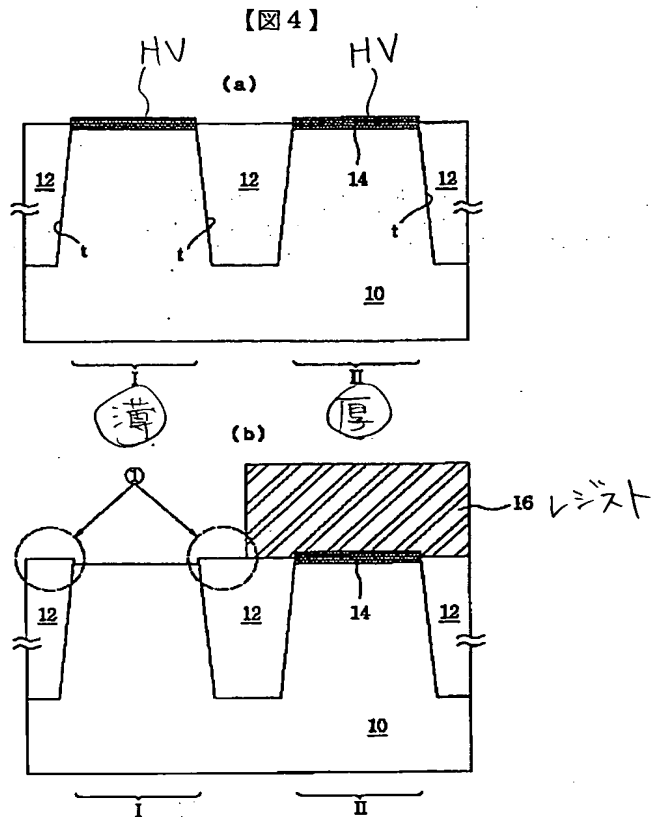


【図3】



【図5】





フロントページの続き

(72)発明者 金 明 壽

大韓民国京畿道水原市八達区永通洞1052-  
2番地 黄楮マウル双龍アパート249-190  
2号

(72)発明者 金 成 浩

大韓民国京畿道龍仁市水支邑 新正マウル  
住公アパート103-903号

Fターム(参考) 5F032 AA35 AA45 AA77 AA79 CA07  
CA17 DA04 DA24 DA28 DA33  
5F048 AA04 AA07 AC01 BB05 BB12  
BB16 BG01 BG13 BG14